



## I - Rappels

### 1.1 Niveaux logiques et niveaux de tensions:

#### 1.1.1 - Cas de la logique TTL :

La logique TTL abréviation de Transistor, Transistor logic est une famille de composants électroniques utilisant une technologie commune basé sur l'utilisation de transistor bipolaire. Cette famille est composée de différentes fonctions logiques des plus élémentaires (NAND, AND, NOR, OR, INV) au plus complexes (Multiplexeur, Compteur, Codeurs, Décodeurs, Unité Arithmétique et Logique, Mémoires, PAL, Microprocesseur, Microcontrôleur, etc.). Ces circuits sont alimentés sous 5V, entre l'entrée + notée  $V_{cc}$  et la masse notée GND. Le numéro du circuit commence soit par 54 soit par 74. Pour un même circuit il existe différentes séries se caractérisant par des vitesses, des consommations, des débits de sorties différents. Ainsi on pourra trouver les séries H (High speed), L (Low power), S (Schottky), LS, AS, ALS (Advanced Low power Schottky). Nous donnons ici un tableau récapitulatif des niveaux logiques et des niveaux de tensions correspondant pour la **Famille TTL 7400**.

Tension d'entrée		
	Niveau logique bas ( $V_{ILmax}$ )	0.8 VDC
	Niveau logique Haut ( $V_{IHmin}$ )	2.0 VDC
Tension de sortie		
	Niveau logique bas ( $V_{OLmax}$ )	0.4 VDC
	Niveau logique Haut ( $V_{OHmin}$ )	2.4 VDC
Courant d'entrée		
	Niveau logique bas ( $I_{ILmax}$ )	-1.6 mA
	Niveau logique Haut ( $I_{IHmax}$ )	40 $\mu$ A
Courant de sortie		
	Niveau logique bas ( $I_{OLmax}$ )	16 mA
	Niveau logique Haut ( $I_{OHmax}$ )	400 $\mu$ A

Suivant les séries ces valeurs peuvent être différentes mais il y a en général une compatibilité ascendante. Une nouvelle série a de meilleures performances mais reste compatible avec les niveaux de l'ancienne série.

#### 1.1.2 - Cas de la logique CMOS :

La logique CMOS abréviation de Complementary Métal Oxide Semiconductor est une famille de composants électroniques utilisant une technologie commune basé sur l'utilisation de transistor MOS. Cette famille plus récente que la logique TTL reprend l'ensemble des fonctions logiques existantes en TTL. Ces circuits sont alimentés sous une tension comprise entre 3 et 18V, entre l'entrée + notée  $V_{DD}$  et la masse notée GND. Le numéro du circuit commence soit par 40 soit par 74 C ou 74 HC. Pour un même circuit il existe différentes séries se caractérisant par des vitesses, des consommations, des débits de sorties différents. Ainsi on pourra trouver les séries H (High speed), L (Low power), S (Schottky), LS, AS, ALS (Advanced Low power Schottky) et HCT (compatible TTL).

Nous donnons ici un tableau récapitulatif des niveaux logiques et des niveaux de tensions correspondant pour la Famille CMOS 4000.

Tension d'entrée		
Niveau logique bas ( $V_{IL,max}$ )		1.5 VDC
Niveau logique Haut ( $V_{IH,min}$ )		3.5 VDC
Tension de sortie		
Niveau logique bas ( $V_{OL,max}$ )		0.8 VDC
Niveau logique Haut ( $V_{OH,min}$ )		4.4 VDC
Courant d'entrée		
Niveau logique bas ( $I_{IL,max}$ )		-1.6 mA
Niveau logique Haut ( $I_{IH,max}$ )		40 $\mu$ A
Courant de sortie		
Niveau logique bas ( $I_{OL,max}$ )		16 mA
Niveau logique Haut ( $I_{OH,max}$ )		40 $\mu$ A

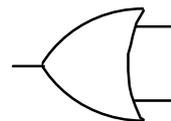
## 1.2 - Définitions et symboles des portes logiques

### 1.2.1 - Porte OR :

L'opérateur OU est un opérateur commutatif et associatif. La somme logique est représenté par le symbole + .

La table de vérité et la représentation schématique sont les suivantes:

$a$	$b$	$a+b$
0	0	0
0	1	1
1	0	1
1	1	1

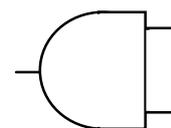


### 1.2.2 - Porte AND :

L'opérateur ET est un opérateur commutatif et associatif. Le produit logique est représenté par le symbole • .

La table de vérité et la représentation schématique sont les suivantes:

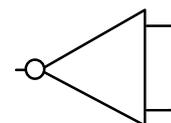
$a$	$b$	$a.b$
0	0	0
0	1	0
1	0	0
1	1	1



### 1.2.3 - Porte INV :

L'opérateur INV est un opérateur commutatif et associatif. Le produit logique est représenté par le symbole barre supérieure et par le symbole O sur les schémas des portes. La table de vérité et la représentation schématique sont les suivantes:

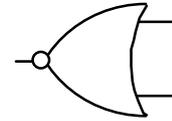
$a$	$\bar{a}$
0	1
1	0



**1.2.4 - Porte NOR :**

La table de vérité et la représentation schématique sont les suivantes:

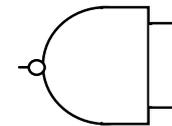
<i>a</i>	<i>b</i>	$\overline{a+b}$
0	0	1
0	1	0
1	0	0
1	1	0



**1.2.5 - Porte NAND :**

La table de vérité et la représentation schématique sont les suivantes:

<i>a</i>	<i>b</i>	$\overline{a \cdot b}$
0	0	1
0	1	1
1	0	1
1	1	0



**1.3 - Réalisation d'une fonction logique de *n* variables**

Une fonction logique peut toujours être représentée par une table de vérité indiquant pour toutes les combinaisons possibles des états d'entrées l'état de la sortie. A partir de cette table, il est alors possible d'exprimer la fonction logique sous la forme d'une somme de produits des entrées (somme des mintermes) correspondant aux combinaisons pour lesquelles la fonction vaut 1. Il est également possible d'exprimer la fonction logique sous la forme d'un produit de sommes des entrées (produits des maxtermes) correspondant aux combinaisons pour lesquelles la fonction vaut 0.

Cette fonction peut alors être simplifier soit en utilisant les règles de l'algèbre de Boole ou bien utiliser les tableaux de Karnaugh. La simplification d'une fonction permet de réduire le nombre de portes logiques utilisées et donc le coût.

**1.4 - Simplification d'une fonction logique de *n* variables**

**1.4.1 - Théorèmes généraux de l'algèbre de Boole:**

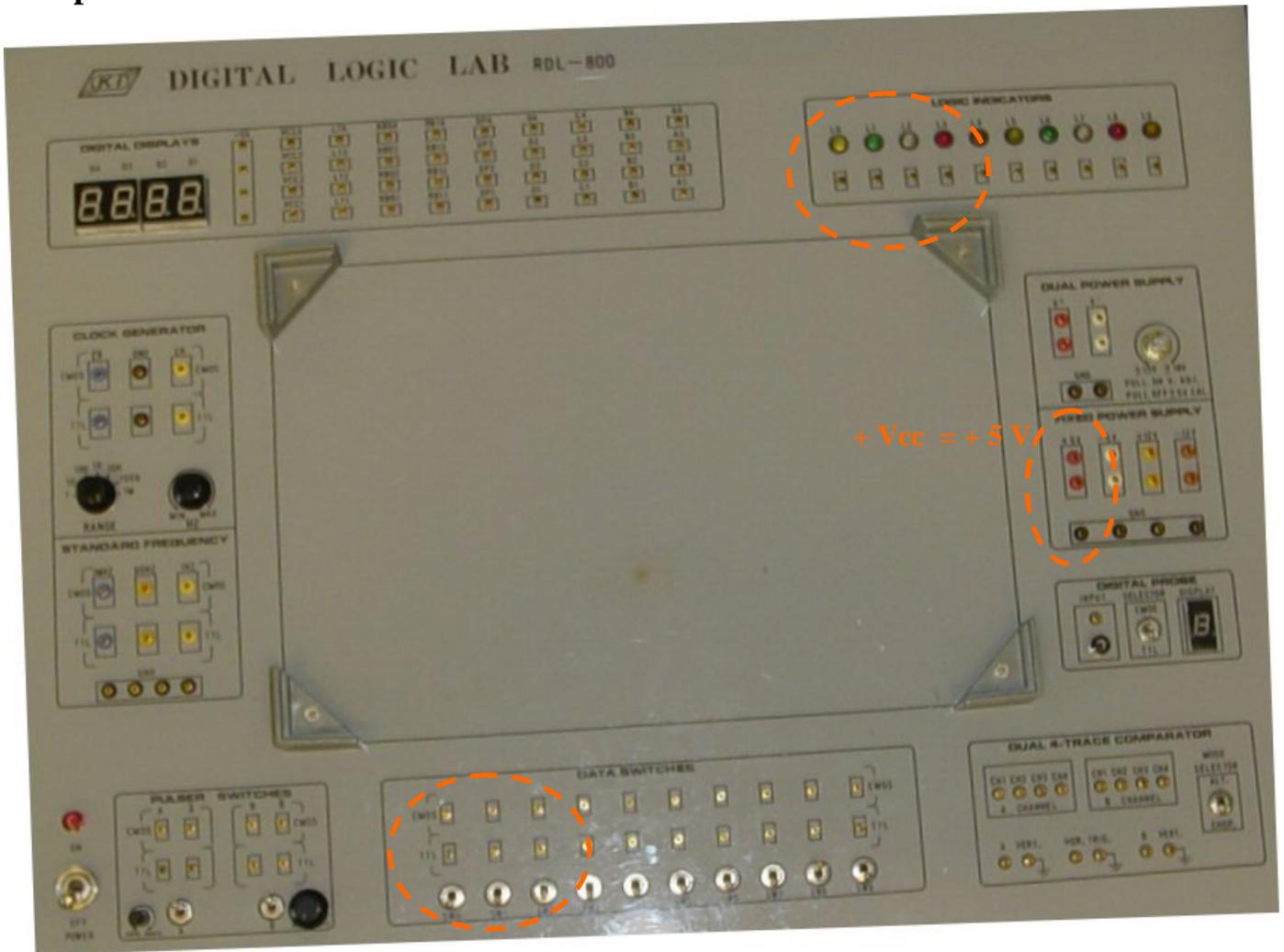
Opérateur	Élément neutre	Commutativité	Distributivité	Divers
OU	$a + 0 = a$	$a + b = b + a$	$a + bc = (a + b)(a + c)$	$a + \bar{a} = 1$ $a + 1 = 1$
ET	$a \cdot 1 = a$	$a \cdot b = b \cdot a$	$ab + ac = a(b + c)$	$a \cdot \bar{a} = 0$ $a \cdot a = a$ $a \cdot 0 = 0$

**Lois de Morgan:**  $\overline{a+b} = \bar{a} \cdot \bar{b}$  et  $\overline{a \cdot b} = \bar{a} + \bar{b}$

**1.4.2 - Utilisation du tableau de Karnaugh:**

Le tableau de Karnaugh comporte l'ensemble des informations contenues dans la table de vérité. Il est organisé de manière à ce que le passage d'une case à l'autre du tableau (en horizontal ou vertical) correspond à l'évolution d'une seule variable d'entrée. Le regroupement par multiple de  $2^n$  permet de simplifier la fonction logique.

## 2 - Description du matériels utilisés:



### 2.1 - Pupitre d'essai

Le Digital Logic Lab RDL-800 est un pupitre d'essais qui peut recevoir différentes platines d'expérimentation. Il existe quinze platines d'expérimentations pré-cablées contenues dans une armoire de rangement en bout de salle. Pour ce TP nous serons amenés à utiliser plusieurs platines d'expérimentations. La platine se place au centre du pupitre d'essai sur les plots prévus à cet effet.

A la périphérie se trouve huit fonctions représentées sous forme de pavés.

#### 2.1.1 - Pavé d'alimentation: Dual and Fixed Power Supply

Le pavé d'alimentation comporte:

- Une alimentation double symétrique réglable continûment: de  $\pm 1,5$  V à  $\pm 18$  V.
- Quatre alimentations fixes: + 5 V; - 5 V; + 12 V; - 12 V; débit 2 A .

Toutes ces sorties sont protégées contre les courts-circuits.

**On utilisera les circuits TTL alimentés par VCC à connecter entre + 5 V et la masse ( 0V)**



### 2.1.2 - Pavé impulsif: Pulser switches *pas nécessaire pour cette séance de TP*

Ce pavé génère des mono-impulsions carrées chaque fois que l'on appuie sur un interrupteur (*A* ou *B*). La largeur des impulsions est réglable par le potentiomètre min-max. Il possède deux voies indépendantes *A* et *B*. Chacune de ces voies possède une sortie directe et une sortie complémentaire pour les niveaux logiques de tensions TTL et CMOS.

Remarque: Le niveau de tension CMOS est réglable entre 1,5 et 18 V par action sur le potentiomètre de l'alimentation double symétrique.

### 2.1.3 - Pavé 10 niveaux: Data Switches

Les dix interrupteurs génèrent des niveaux logiques 1 ou 0 soit en TTL soit en CMOS. La transition d'un niveau logique à l'autre se fait par un front sans rebond ( une bascule RS est donc insérée "derrière" chaque interrupteur) . Le débit maximal de chaque interrupteur est de 2 A.

### 2.1.4 - Pavé générateur de tension: Clock Generator *pas nécessaire pour cette séance de TP*

Le pavé générateur de tension comporte:

- Un générateur basse fréquence de signal carré dont la gamme de fréquence est comprise en 1 Hz et 1 MHz. Il possède une sortie directe et une sortie complémentaire pour les niveaux logiques de tensions TTL et CMOS.
- Trois sorties à fréquence fixe (1 Hz; 60 Hz et 1 MHz) pour les niveaux logiques de tensions TTL et CMOS.

Toutes ces sorties sont protégées contre les courts-circuits.

### 2.1.5 - Pavé Indicateur de niveaux logiques: Logic Indicators.

Ce pavé comporte dix entrées permettant de visualiser un niveau logique haut (H) ou bas (L) à l'aide de diodes électroluminescentes.

### 2.1.6 - Pavé afficheurs 7 segments: Digital Displays *pas nécessaire pour cette séance de TP*

Un ensemble de quatre afficheurs 7 segments est disponible sur le pupitre. Un afficheur est composé de sept diodes électroluminescentes dont soit les anodes soit les cathodes sont communes. Cet ensemble permet d'afficher des nombres ou certaines lettres.

### 2.1.7 - Pavé test: Digital Probe.

Ce pavé permet de tester des niveau entrées sorties TTL ou CMOS. La signification des indications de l'afficheur est donnée dans le tableau suivant:

afficheur	Signification
<b>O</b>	Potentiel flottant, entrée non raccordée
<b>L</b>	niveau logique bas (Low)
<b>H</b>	Niveau logique haut (High)
<b>F</b>	Erreur, niveau intermédiaire (False)
<b>P</b>	Impulsion (Pulse)

### 2.1.8 -Pavé double quatre traces: Dual 4-Trace Comparator *pas nécessaire pour cette séance de TP*

Ce pavé permet de visualiser huit traces sur un oscilloscope bicourbe soit en mode alterné (ALT.) soit en mode découpé (CHOP.). Les deux fois quatre entrées sont numérotées de CH 1A à CH 4A pour la voie A et CH 1B à CH 4B pour la voie B.

## 2.2 - Appareils de mesures: *pas nécessaire pour cette séance de TP*

### 2.2.1 Voltmètre numérique DM 15 XL :

Un voltmètre numérique permet de mesurer les niveaux de tensions disponible sur la platine. La documentation complète est disponible en salle de TP.

### 2.2.2 Oscilloscope :

Un oscilloscope permet de visualiser l'évolution dans le temps de tensions. Un oscilloscope standard possède deux voies d'entrées, et une base de temps. Dans un oscilloscope les masses sont communes et reliées au châssis et à la prise de terre. On est donc prié de ne pas relier deux potentiels différents sur deux entrées de masses, sous peine de court-circuit... La documentation complète de l'appareil que vous utiliserez est disponible en salle de TP.

Réf: HAMEG ?

## 3 - Manipulations: ( pensez à la maintenance....d'un système.)

**Alimentation : Utiliser UNIQUEMENT la logique TTL, soit 0 volt et +5 Volts.**

*Exclure l'utilisation de la technologie CMOS pour ce TP !*

### 3.1 Méthode de travail pour cette manipulation

- Vérifier et valider le bon fonctionnement du matériel que vous allez utiliser.
- Recherche de l'équation logique du circuit et simplification éventuelle.
- Déduction du schéma technologique.
- Câblage.
- Vérification du résultat.
- Conclusions.



## 3.2 - Réalisation de fonctions logiques.

**3.2.1** Tester une porte NAND, une porte INV, et une porte OU EXCLUSIF sur les platines 1 et 2;

Tester des interrupteurs et les LEDs: le cas échéant, répertorier les éléments défectueux.

Déterminer quel est le potentiel, +5V ou le 0V, qui "allume" une LED ?

**3.2.2** Réaliser avec des portes NAND à deux entrées de la platine 1: ( utiliser successivement les portes G1, G2, G3 et G4 )

La fonction **NON**, (Not)

La fonction **OU**, (Or)

La fonction **ET**, (And)

La fonction **ET à trois variables**

$$S = a \cdot b \cdot c$$

La fonction **OU EXCLUSIF**, (Xor) avec 4 portes NAND !

$$S = a \cdot \bar{b} + \bar{a} \cdot b$$

**3.2.3 fonction majorité :** ( pensez au code GRAY pour optimiser le test )

On dispose de trois entrées  $A$ ,  $B$  et  $C$ . La sortie  $S$  est égale à 1 au moins si deux entrées sont égales à 1. Etablir le tableau de vérité. Trouver la relation  $S(A, B, C)$ . La simplifier. Réaliser la fonction  $S$  en utilisant des portes NAND à deux entrées à collecteur OUVERT. Pour réaliser ce câblage il est nécessaire d'utiliser uniquement la **platine 3**. ( voir étape 3.2.7)

**3.2.4 contrôleur de parité** (va et vient à 2, 3 ou 4 boutons) (voir TD )

A l'aide des OU EXCLUSIF de la platine 2, construire un circuit qui donne 1 si le nombre de chiffres binaires d'entrées valant 1 est impair, 0 dans le cas contraire. Traiter les cas de chiffres binaires ayant 2, 3, et 4 digits.

**3.2.5 Additionneur binaire:**

Un demi additionneur est un circuit logique à deux entrées et deux sorties. Les deux entrées  $a$  et  $b$  sont les deux bits à additionner. Les deux sorties sont la somme  $S_+$  et la retenue de sortie  $R_s$  de poids directement supérieur.

Déterminer les expressions de  $S_+$  et  $R_s$  en fonction de  $a$  et  $b$ .

Câbler et vérifier le bon fonctionnement de ces deux fonctions à l'aide de la platine 2.

Dans un additionneur complet il apparaît une entrée supplémentaire correspondant à la retenue de poids directement inférieur  $R_e$  (retenue d'entrée). Les deux sorties restent la somme  $S_+$  et la retenue  $R_s$  de poids directement supérieur.



Déterminer les expressions de  $S$  et  $R_s$  en fonction de  $a$ ,  $b$  et  $R_e$ .

+a	+b	+Re	$R_s$	$S$
0	0	0	0	0
0	0	1	0	1
0	1	1	1	0
0	1	0		
1	1	0		
1	1	1		
1	0	1		
1	0	0		

Câbler et vérifier le bon fonctionnement de ces deux fonctions à l'aide des platines **2** et **3**.



**3.2.6 : Soustracteur binaire.** ( voir doc 74ls181 )

Un demi soustracteur est un circuit logique à deux entrées et deux sorties. Les deux entrées *a* et *b* sont les deux bits à soustraire. Les deux sorties sont la différence *D* et la retenue de sortie *R<sub>s</sub>* de poids directement supérieur.

Déterminer les expressions de *D* et *R<sub>s</sub>* en fonction de *a* et *b*.

Câbler et vérifier le bon fonctionnement de ces deux fonctions à l'aide de la platine 2.

Dans un soustracteur complet il apparaît une entrée supplémentaire correspondant à la retenue de poids directement inférieur *R<sub>e</sub>* (retenue d'entrée). Les deux sorties restent la différence *D* et la retenue *R<sub>s</sub>* de poids directement supérieur.

Déterminer les nouvelles expressions de *D* et *R<sub>s</sub>* en fonction de *a*, *b* et *R<sub>e</sub>*.

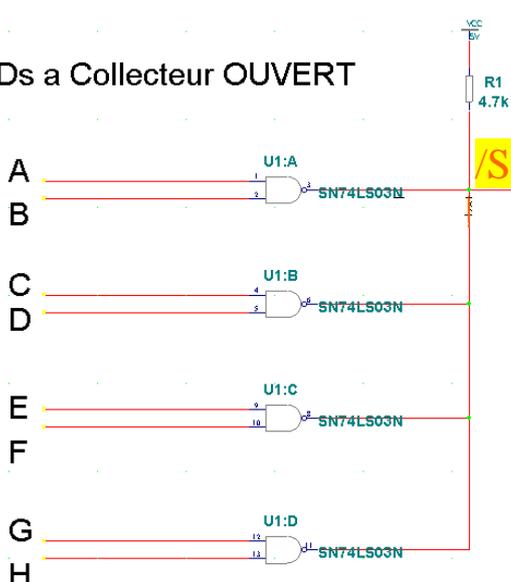
+a	-b	-Re	R <sub>s</sub>	S
0	0	0	0	0
0	0	1	1	1
0	1	1		
0	1	0		
1	1	0		
1	1	1		
1	0	1		
1	0	0		

Câbler et vérifier le bon fonctionnement de ces deux fonctions à l'aide de la platines 2 et 3.

**3.2.7 : Utilisation de portes NAND à Collecteur Ouvert** . 

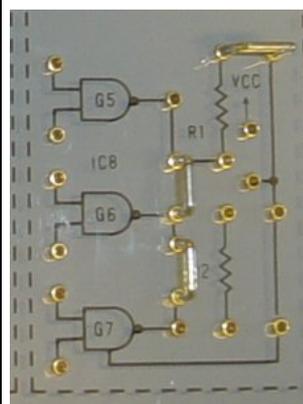
→ Très utile pour le câblage des fonctions précédentes:

**4 NANDs a Collecteur OUVERT**



**Montrer que:**  
 **$/S = A.B + C.D + E.F + G.H$**

Platine 3



	A	B	C	D	E	F	G	H	/S	S
A . B	H	H	X	X	X	X	X	X	L	H
Ou C . D	X	X	H	H	X	X	X	X	L	H
Ou E . F	X	X	X	X	H	H	X	X	L	H
Ou G . H	X	X	X	X	X	X	H	H	L	H
	AUTRE CAS								H	L

L état 0, bas  
H état 1, haut  
X état indifférent

**3.2.7 : Convertisseur code Gray code binaire.** ( voir TD )

Le code Gray est un code dans lequel deux nombres successifs ne diffèrent que d'un seul bit (voir tableau ci-dessous). Ce code est particulièrement utilisé dans les conversions d'une grandeur analogique (par exemple, la position de l'axe d'un moteur) en une grandeur numérique pour éviter des erreurs de détection.

	Code Gray			Code Binaire		
<b>n</b>	<b>G<sub>3</sub></b>	<b>G<sub>2</sub></b>	<b>G<sub>1</sub></b>	<b>B<sub>3</sub></b>	<b>B<sub>2</sub></b>	<b>B<sub>1</sub></b>
<b>0</b>	0	0	0	0	0	0
<b>1</b>	0	0	1	0	0	1
<b>2</b>	0	1	1	0	1	0
<b>3</b>	0	1	0	0	1	1
<b>4</b>	1	1	0	1	0	0
<b>5</b>	1	1	1	1	0	1
<b>6</b>	1	0	1	1	1	0
<b>7</b>	1	0	0	1	1	1

\* Pour réaliser ce convertisseur, on ne dispose que de portes **“ou exclusif”** à deux entrées.

\* Pour chaque sortie, donner son expression logique et la simplifier à l'aide d'un tableau de Karnaugh pour aboutir à une forme ne comportant que des fonctions **“ou exclusif”**.

\* Donner le logigramme du convertisseur à l'aide des portes **“ou exclusif”** à deux entrées.

\* Câbler et vérifier le bon fonctionnement de ce convertisseur à l'aide de la platine 2.

