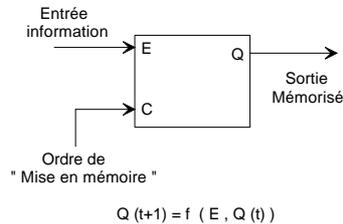


## Bascules

Cette fiche est consacrée aux différentes bascules utilisés en électronique.

Une bascule est un élément logique qui peut mettre en mémoire l'état d'un bit information quand un ordre d'enregistrement est donné.

**Schéma synoptique d'une bascule :**



Les instants t et t+1 sont ceux AVANT et APRES l'action de C.

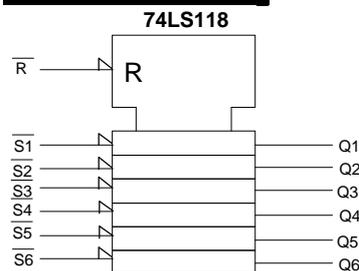
**EX:** Soit à charger une information E=0 :

Si  $Q_t=0$  la bascule ne change pas d'état après l'ordre C

Si  $Q_t=1$  La bascule change d'état après l'ordre C

DONC  $Q_{t+1}=0$  mais 2 fonctionnements différents suivant l'état de  $Q_t$ .

### 1 - BASCULES R-S



Le circuit 74LS118 contient six bascules R-S avec entrées actives à l'état bas.

$\bar{S}$	$\bar{R}$	$Q_{t+1}$
H	H	$Q_t$
L	H	H
H	L	L
L	L	H

*Etat MEMOIRE*

*Mise à 1, SET, PRESET*

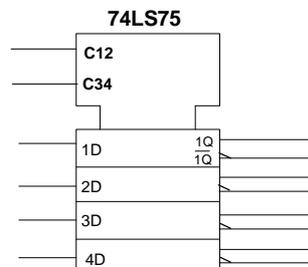
*Mise à 0, RESET, CLR*

*Etat INTERDIT*

### 2 - BASCULES D (D pour DATA=DONNEE)

#### 2-1 BASCULES D LATCH (Horloge active par niveau : Latch = Verrou)

La bascule R-S présente l'inconvénient de l'état interdit. Cette indétermination est levée dans le cas de la bascule D LATCH.



Par suite deux lignes de la table de vérité de la R-S sont supprimées.

D	C	$Q_{t+1}$	$Q_{t+1}$
L	H	L	H
H	H	H	L
X	L	$Q_t$	$Q_t$

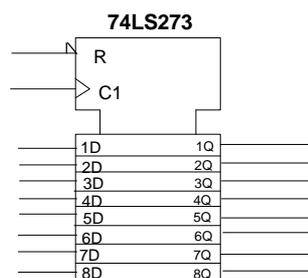
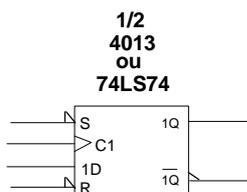
Le circuit 74LS75 contient deux doubles bascules à verrouillage, avec 2 horloges.

**La sortie recopie l'entrée "D" tant que C est active.**

Quand C revient à 0; **la dernière valeur de D est mise en mémoire** (On rappelle que c'est une bascule D LATCH et que l'horloge est active par état).

Pour une utilisation correcte **D ne doit pas changer d'état quand l'horloge est active**; mais là encore on peut choisir une impulsion de courtes durées pour C.

#### 2-2 BASCULE D à COMMANDE SUR FRONT: (Elles sont aussi appelées D type EDGE-TRIGGERED FLIP-FLOP)



Les circuits 74LS74, 74LS273 en technologie TTL et le circuit 4013 en technologie CMOS sont des exemples de bascules D possédant une horloge active sur front.

Ce type de bascule présente la même table de fonctionnement que la précédente. Mais **L'HORLOGE N'EST ACTIVE QUE PENDANT LA TRANSITION D'UN ETAT A L'AUTRE** : 0->1 ou 1->0.

Avant et après le front la bascule est verrouillée en position " MEMOIRE ".

Dans la table de vérité les actions de l'horloge sont représentées par  $\uparrow$  ou  $\downarrow$  ou encore  $\uparrow$  ou  $\downarrow$ .

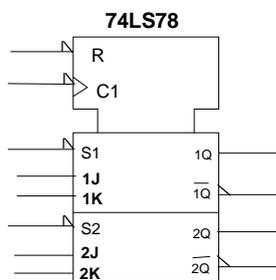
Le mode d'action de l'horloge est dit dynamique car c'est le passage d'un état à un autre qui est interprété comme actif. On impose que la donnée D reste stable pendant quelques nanosecondes autour du front actif de l'horloge. (Voir documents constructeur)

Les bascules de ce type disponibles sous forme de circuit intégré possèdent, en plus de leur entrée **SYNCHRON** D, des commandes dites de **FORCAGE** notées R (ou CLR, CLEAR, RAZ) et S (ou SET, PRESET) pour Mise à 0 et Mise à 1 de manière **ASYNCHRON** (Fonctionnement de type R-S précédent). Ces commandes sont **PRIORITAIRES** sur le fonctionnement synchrone.

Les commandes de forçage ne sont pas obligatoirement actives à l'état haut et peuvent donc aussi être  $\bar{R}$ ,  $\bar{S}$  ou porter d'autres noms.

### 3 - BASCULE J-K

Les bascules R-S ont une combinaison interdite par suite de l'indétermination qu'elle provoque. Dans les bascules J-K les deux entrées J et K ont leurs Quatre combinaisons autorisées. Il existe de multiples versions de déclenchement et la plupart ont des entrées asynchrones supplémentaires.



Les entrées J et K sont des entrées **SYNCHRONES** donc liées à un signal d'horloge. La table de vérité du fonctionnement Synchrone est la suivante :

Les entrées J et K ne sont prises en compte que si l'horloge C1 est active, c'est à dire sur un  $\downarrow$

J	K	$Q_{t+1}$
L	L	$Q_t$
H	L	H
L	H	L
H	H	$\bar{Q}_t$

Etat MEMOIRE

Mise à 1

Mise à 0

Basculement, TOGGLE

La bascule 74LS78 dispose aussi d'entrées **ASYNCHRONES**  $\bar{R}$  et  $\bar{S}$  actives à l'état bas, et prioritaires sur le fonctionnement synchrone. Cela veut dire que si une action asynchrone prioritaire est en cours les fronts d'horloge ne sont pas pris en compte et la table de vérité précédente n'est plus valable et est remplacée par la suivante :

Les entrées S et R sont prises en compte de façon prioritaire aux signaux synchrones J, K et C1

$\bar{S}$	$\bar{R}$	$Q_{t+1}$	$\bar{Q}_{t+1}$
L	H	H	L
H	L	L	H
L	L	H	H
H	H	$Q_t$	$\bar{Q}_t$

Mise à 1, SET, PRESET

Mise à 0, RESET, CLR

Etat INTERDIT

Etat MEMOIRE (Sauf si action Synchrone)

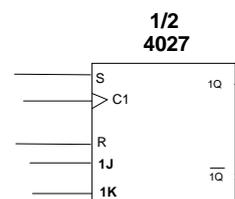
C'est seulement pour cette ligne que la table de vérité du fonctionnement synchrone peut s'appliquer.

### 4 - BASCULE TYPE MAITRE-ESCLAVE (MASTER-SLAVE FLIP-FLOP)

Ce sont des cellules mémoire à deux étages nommés **MAITRE** et **ESCLAVE**; La mémorisation d'une information va se faire en deux étapes à deux instants successifs.

Enregistrement de l'information par le MAITRE.

Affichage de l'information sur la sortie par transfert du MAITRE vers l'ESCLAVE.



Le mode de fonctionnement " Maître - Esclave " est transparent pour l'utilisateur. On étudiera toujours la table de vérité de la documentation constructeur

Le circuit 4027 est une double bascule J-K Maître -Esclave.